



DEUTSCHES
PATENTAMT

21 Aktenzeichen: P 41 04 644.7
22 Anmeldetag: 15. 2. 91
43 Offenlegungstag: 29. 8. 91

DE 41 04 644 A 1

30 Innere Priorität: 32 33 31
26.02.90 DE 40 06 023.3

71 Anmelder:
Deutsche Thomson-Brandt GmbH, 7730
Villingen-Schwenningen, DE

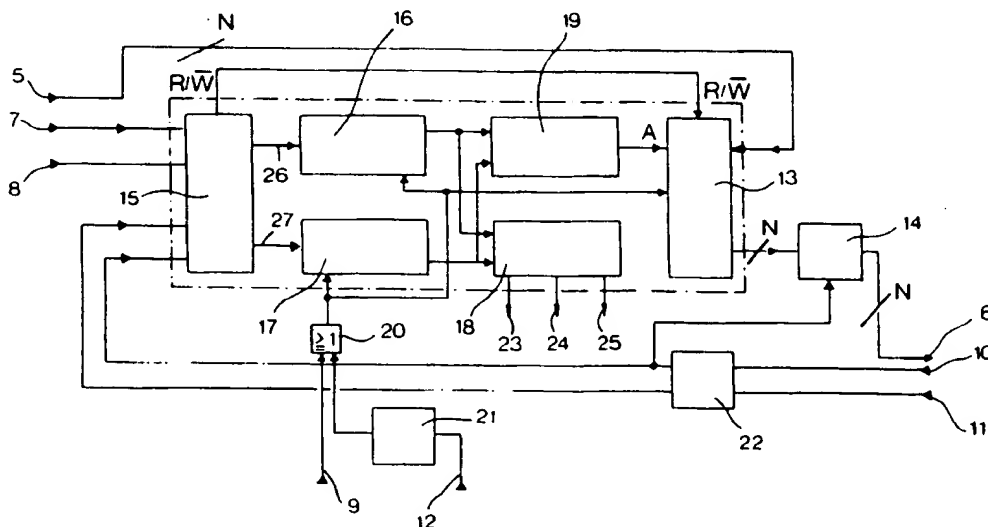
72 Erfinder:
Haupt, Dieter, 3000 Hannover, DE

BEST AVAILABLE COPY

54 FIFO-Speicher

57 Zur Kopplung voneinander frequenzunabhängiger elektrischer Systeme sind FIFO-Speicher bekannt, deren Einsatzbereich jedoch beschränkt ist. Es ist Aufgabe der Erfindung, einen FIFO-Speicher zu realisieren, der den Einsatzbereich von FIFOs zu hohen Frequenzen hin erweitert. Die Erfindung löst die Aufgabe dadurch, daß der FIFO in

einer Technologie wie z. B. GaAs, ECL etc. realisiert ist, die einen Einsatz von FIFOs auch bei sehr hohen Schreib- bzw. Lesefrequenzen gewährleistet. An den Eingängen oder Ausgängen des FIFO-Speichers ist ein Logik-Konverter (Translator) zur Pegelwandlung angeordnet. Kopplung frequenzunabhängiger elektrischer Systeme.



DE 41 04 644 A 1

Die Erfindung betrifft ein FIFO (First-In-First-Out)-Speicher zur Kopplung voneinander frequenzunabhängiger elektrischer Systeme.

Wie schon aus der Bezeichnung FIFO hervorgeht, wird bei Speichern dieser Art ein zuerst eingelesenes (geschriebenes) Datum (First-In) auch zuerst wieder ausgelesen (First-Out), wie dies auch bei einem Schieberegister mit einem Eingang und einem Ausgang der Fall ist.

Bei einem FIFO kann dieser Vorgang jedoch im Gegensatz zu Schieberegistern nicht nur synchron, sondern auch asynchron erfolgen, d. h. der Auslesetakkt ist unabhängig von Einlesetakkt. Deshalb werden FIFOs häufig zur Kopplung voneinander frequenzunabhängiger bzw. asynchroner elektrischer Systeme benutzt. Eine solche Kopplung entspricht einer Frequenzumsetzung, die immer dann erforderlich ist, wenn Systeme, insbesondere Logik-Systeme zusammengeschaltet werden, die Daten nicht mit der gleichen Taktfrequenz übertragen oder verarbeiten können.

Die Speichereinheit bei FIFOs bilden in der Regel Dual ported RAMs. Da bei Dual ported RAMs nicht gleichzeitig eine Lese- oder Schreibaktion auf ein und denselben Speicherplatz (Speicherzelle) durchgeführt werden kann, müssen diese Vorgänge nacheinander ausführt werden. Die Koordination übernimmt ein "Arbiter" in der Kontroll-Logik des FIFOs für das RAM. Diese Kontroll-Logik steuert auch einen Ausgabe- und einen Eingabe Zähler und über diese einen Adreß-Multiplexer und einen Füllstandsanzeiger oder Subtrahierer-Komparator, der die Zählerstände der beiden Zähler voneinander subtrahiert und z. B. den Zustände "voll, halb voll oder leer" anzeigen kann. Diese Informationen können den an den FIFO-Speicher angeschlossenen Eingabe- oder Ausgabeeinheiten zugeführt werden, die diese Information weiterverarbeiten.

Der Einsatz von FIFOs hängt aber auch eng mit der Art der zu verarbeitenden Daten bzw. Datenstrukturen zusammen. Sollen bsp. praktisch kontinuierliche Datenströme einer hohen Frequenz (z. B. 200 MHz) mit FIFOs auf entsprechende Datenströme einer niedrigeren Frequenz (z. B. 50 MHz) transformiert werden, so ist dies ohne Kaskadierung mehrerer FIFOs und ohne Parallelisierung der ausgehenden Datenleitungen nicht möglich, da der FIFO-Speicherinhalt begrenzt ist und somit der FIFO sehr schnell den Zustand "voll" erreicht und keine weiteren Daten mehr aufnehmen kann. Zur Frequenzumsetzung solcher Datenströme ist eine Lösung aus dem Datenblatt für den Baustein SDA 8020 bekannt, die auf die Kaskadierung mehrerer Schieberegister mit parallelen Ausgängen beruht. Jedoch werden mit diesem Baustein die Frequenzen jeweils nur synchron umgesetzt, da die Auslesefrequenz immer dem vierfachen (oder einem Viertel) der Einlesefrequenz entspricht.

Der Baustein SDA 8020 ist für eine wie oben aufgezeigte synchrone Frequenzumsetzung von quasi endlosen Datenströmen geeignet, nicht aber, wenn der Datenstrom, der verarbeitet werden soll, burstartig auftritt, d. h. auf eine Anzahl von Daten beschränkt ist. Dann ist eine Schaltungsrealisierung mit dem Baustein SDA 8020 sehr uneffektiv, da es dann einer aufwendigen baustein-externen Schaltungsanordnung bedarf, um die burstartigen Daten zu erfassen und eine asynchrone Frequenzumsetzung zu gewährleisten, da der Baustein SDA 8020 allein, wie schon oben erwähnt nur eine synchrone Frequenzumsetzung bewirkt.

Bei burstartigen Datenströmen der Daten ist ein FIFO vorzuziehen, da die zu verarbeitenden Daten im RAM des FIFO zwischengespeichert werden können.

Bisherige FIFOs sind aber nur bis zu Frequenzen von max. ca. 120 MHz einsetzbar und somit nur beschränkt einsetzbar.

Es ist Aufgabe der Erfindung, einen FIFO zu realisieren, der den Einsatzbereich von FIFOs zu hohen Frequenzen hin erweitert.

Die Erfindung löst die Aufgabe dadurch, daß der FIFO in einer Technologie wie z. B. GaAs, ECL etc. realisiert ist, die einen Einsatz von FIFOs auch bei sehr hohen Schreib- bzw. Lesefrequenzen gewährleistet.

Ein solcher FIFO ermöglicht z. B. eine einfache asynchrone Frequenzumsetzung burstartiger Datenströme mit Taktfrequenzen, die typisch sind für die oben genannten Technologien wie GaAs (z. B. 400 MHz) oder ECL (z. B. 250 MHz), in Frequenzbereiche, die beispielsweise typisch sind für Technologien wie TTL oder CMOS (z. B. 20–100 MHz). Dabei ist die Schreibfrequenz allein abhängig von der Daten-Eingabe-Einheit des FIFO (z. B. schneller A/D-Wandler) und die Lesefrequenz abhängig von der Systemeinheit (z. B. Coder, Multiplexer, PC etc.), die an den Ausgang des FIFO geschaltet ist.

Dazu ist es zweckmäßig, daß an den Eingängen und/oder Ausgängen des FIFO Logik-Konverter (Translator), vorzugsweise TTL-ECL-Konverter an den FIFO-Eingang (Ausgang) oder ECL-TTL-Konverter an den Ausgang (Eingang) des FIFO zur Pegelumwandlung angeordnet sind.

Da die verschiedenen Technologien wie bsp. GaAs, ECL, TTL, CMOS etc. jeweils eigene "Logik-Familien" darstellen und unterschiedliche Pegel bzw. Betriebsspannungen aufweisen (z. B. ECL \rightarrow -5.2 V, TTL \rightarrow 5 V), ist es beim Zusammenschalten von Systemen verschiedener Logik-Technologie notwendig, solche Logik-Konverter zur Pegelwandlung vorzusehen.

Weiterhin ist es von Vorteil, wenn Logik-Konverter und FIFO eine bauliche Einheit bilden. Ein solcher Baustein ist in einfacher Weise dazu geeignet, eine Frequenz- und Pegelumsetzung zu gewährleisten, ohne daß eine aufwendige externe Schaltungsanordnung zur asynchronen Kopplung zwischen verschiedenen Logik-Systemen benötigt wird.

Im folgenden wird die Erfindung anhand eines in der Zeichnung dargestellten Beispiels näher erläutert. In der Zeichnung stellen dar:

Fig. 1 ein Blockdiagramm einer Schaltungsanordnung mit einem FIFO,

Fig. 2 ein Blockdiagramm eines FIFO-Speichers,

Fig. 3 einen integrierter FIFO-Baustein.

Fig. 1 zeigt eine Möglichkeit zur Benutzung eines FIFO-Speichers. Über einen Sensor 1 werden analoge Daten an einen schnellen A/D-Wandler 2 gegeben, der in ECL-Technologie realisiert ist. Dieser A/D-Wandler 2 gibt die digitalisierten Daten an einen FIFO-Speicher 3 weiter, wobei die Abtastfrequenz des A/D-Wandlers sowie die Schreibfrequenz der Daten in den FIFO gleich sind, und von einem Taktgenerator 4 bereit gestellt werden. Der FIFO 3 ist mit einer Datenverarbeitungseinheit (PC) 5 verbunden, dessen Eingänge und Ausgänge nur bsp. TTL-Pegel verarbeiten können. Die Umsetzung von ECL- in TTL-Pegel findet im FIFO 3 statt.

Fig. 2 zeigt eine mögliche Ausführungsform eines ECL \rightarrow TTL-FIFO. Der FIFO besteht aus einer Kontrolllogik 15, die einen WRITE-CLOCK-Eingang 7, und einen ENABLE WRITE-CLOCK-Eingang 8 aufweist und

über einen TTL→ECL-Konverter 21 mit einem READ-CLOCK-Eingang 10 und einem ENABLE-READ-CLOCK-Eingang 11 verbunden ist. Der TTL→ECL-Konverter 22 nimmt wie der TTL→ECL-Konverter 21 die Pegelumsetzung von TTL-Logik in ECL-Logik vor. Des weiteren weist die Kontrollogik 15 drei Ausgänge auf, zum ersten einen R/W-Ausgang zum RAM 13, zum Aktivieren eines Lese-(READ) oder Schreib-(WRITE)-Aktion im RAM. Zum zweiten steuert die Kontrollogik über den Ausgang 26 einen Eingabezähler 16, der mit einem Adressmultiplexer 19 verbunden ist. Zum dritten ist die Kontrollogik über den Ausgang 27 mit einem Ausgabebzähler 17 verbunden, der ebenfalls mit dem Adressmultiplexer 19 verbunden ist und wie der Eingabezähler 16 auch über seinen Ausgang mit einem Füllstandsanzeiger 18 verbunden ist.

Über den DATA-IN-Eingang 5 mit der Breite N bit werden die Daten in den RAM-Speicher (RAM = Random Access Memory) 13 eingelesen. Über den DATA-OUT-Ausgang 6 werden die Daten mit der Breite N bit aus dem ECL→TTL-Konverter 14 und darüber aus dem RAM 13 ausgelesen.

Ein ODER-Gatter 20 ist zum einen mit dem ECL-Reset-Anschluß 9 und über einen TTL→ECL Konverter 21 mit dem TTL-Reset-Anschluß 12 verbunden. Der Ausgang des ODER-Gatters wiederum ist mit dem Ausgabebzähler 17, dem Eingabezähler 16 und dem RAM 13 verbunden. Die Taktsteuerung des ECL→TTL-Konverters 14 erfolgt über den READ-CLOCK-Anschluß am Ausgang des TTL→ECL-Konverters 22. Der Adressmultiplexer 19 ist mit dem RAM 13 über den Ausgang A verbunden. Die Ausgänge 23 – 25 des Füllstandsanzeigers (Subtrahierer Komparator), sind je nach Benutzung mit der jeweiligen Ein- oder Ausgabeeinheit 2, 4 oder 5 verbunden.

Mit der positiven (negativen) Flanke des "WRITE-CLOCK"-Signals werden die an dem "DATA-IN"-Eingang 5 anliegenden Daten in das RAM 13 übernommen, und es wird der Einlesezahl 16 aktualisiert, jedoch nur, wenn am "ENABLE WRITE-CLOCK"-Eingang Low (High)-Potential angelegt wurde. Die Umsetzung dieser Bedingung sowie die Schreibaktivierung des RAM's und die Steuerung des Einlesezahlers 16 wird von der Kontrollogik 15 vorgenommen.

Mit der positiven (negativen) Flanke des "READ-CLOCK"-Signals werden die RAM 13 gespeicherten Daten je nach Stand des Auslesezahlers 17 am "DATA-OUT"-Ausgang bereit gestellt und der Auslesezahl 17 aktualisiert. Dies ist jedoch nur möglich, wenn der "ENABLE-READ-CLOCK"-Eingang auf Low (High)-Potential liegt.

Des weiteren enthält die Kontrollogik 15 eine sogenannte Arbitr-Logik (Entscheidungslogik) die bei gleichzeitigem Lesen oder Schreiben auf dieselbe Speicherzelle des RAMs 13 eine dieser beiden Aktionen unterbindet und somit die andere durchführt. Der Füllstandsanzeiger 18 nimmt ständig eine Subtrahierung des Eingabezählerstandes vom Ausgabebzählerstandes vor und gibt beispielsweise, wenn der Ausgabebzähler den Wert Null hat und der Eingabezähler seinen größtmöglichen Zustandswert erreicht hat, über den Ausgang 23 an die Eingabeeinheit 2 das Signal weiter, keine weiteren Daten mehr an das FIFO zu liefern. Umgekehrt kann bei "leerem" Speicher 13 an die Ausgabeeinheit die Information über beispielsweise den Ausgang 25 weitergegeben werden. Der Ausgang 24 zeigt den Zustand ("halbvoll") des Speichers 13 an.

Die ECL- und TTL-Reset-Eingänge sind zum Lö-

schen des Speicherinhalts und zum Rücksetzen des Eingabe- oder Ausgabebzählerstandes vorgesehen.

Die Kontrollogik 15, der Eingabezähler 16, der Ausgabebzähler 17, der Adressmultiplexer 19, der Füllstandsanzeiger 18, der RAM-Speicher 13 und das ODER-Gatter 20 sind in ECL-Technologie realisiert, um die Verarbeitungsgeschwindigkeit des FIFO an eine schnelle Eingabe (Schreib-Einheit) wie hier den D/A-Wandler 2 (in ECL-Technologie) anzupassen. Ein Auslesen bzw. das Schreiben mit geringeren Frequenzen ist immer möglich.

Um eine Pegel-Anpassung von FIFO- und Ausgabeeinheit zu gewährleisten, sind die ECL→TTL-Konverter bzw. TTL→ECL Konverter vorgesehen, die lediglich eine Umsetzung der Pegel von ECL in TTL oder umgekehrt vornehmen.

Die ganze Schaltung gemäß Fig. 2 ist auf einem Baustein (siehe Fig. 3) integrierbar und stellt somit eine kostengünstige, platzsparende und individuelle an eine Eingabe-Ausgabeeinheit sich anpassende Lösung dar.

Die Erfindung ist nicht auf einen ECL→TTL-FIFO beschränkt. Ebenso gut ist eine Umsetzung TTL→ECL aber auch jede andere Anordnung vorgesehen, die mittels FIFO eine Eingabeeinheit mit einer Ausgabeeinheit koppelt, die Datenströme, insbesondere burstartige Datenströme unterschiedlicher Frequenz verarbeiten können.

Dabei kann die Größe der Schreib- sowie Lesefrequenz unabhängig voneinander verschieden und im Betrieb veränderlich sein.

Patentansprüche

1. FIFO-(First-In-First-Out)Speicher zur Kopplung voneinander frequenzunabhängiger elektrischer Systeme, **dadurch gekennzeichnet**, daß der FIFO-Speicher in einer Technologie wie beispielsweise GaAs, ECL etc. realisiert ist, die eine Frequenzumsetzung auch bei sehr großen Schreib- bzw. Lesefrequenzen gewährleistet.
2. FIFO-Speicher nach Anspruch 1, **dadurch gekennzeichnet**, daß der FIFO-Speicher in ECL-Technologie realisiert ist, die eine Datenverarbeitung bis zu Schreib- bzw. Lesefrequenzen von etwa 350 MHz gewährleistet.
3. FIFO-Speicher nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß an den Eingängen oder Ausgängen des FIFO-Speichers ein Logik-Konverter(Translator) zur Pegelwandlung angeordnet ist.
4. FIFO-Speicher nach Anspruch 3, **dadurch gekennzeichnet**, daß der Logik-Konverter als ECL→TTL- oder TTL→ECL-Logik-Konverter ausgebildet ist.
5. FIFO-Speicher nach Anspruch 3 oder 4, **dadurch gekennzeichnet**, daß Logik-Konverter und FIFO-Speicher eine bauliche Einheit bilden.

Hierzu 3 Seite(n) Zeichnungen

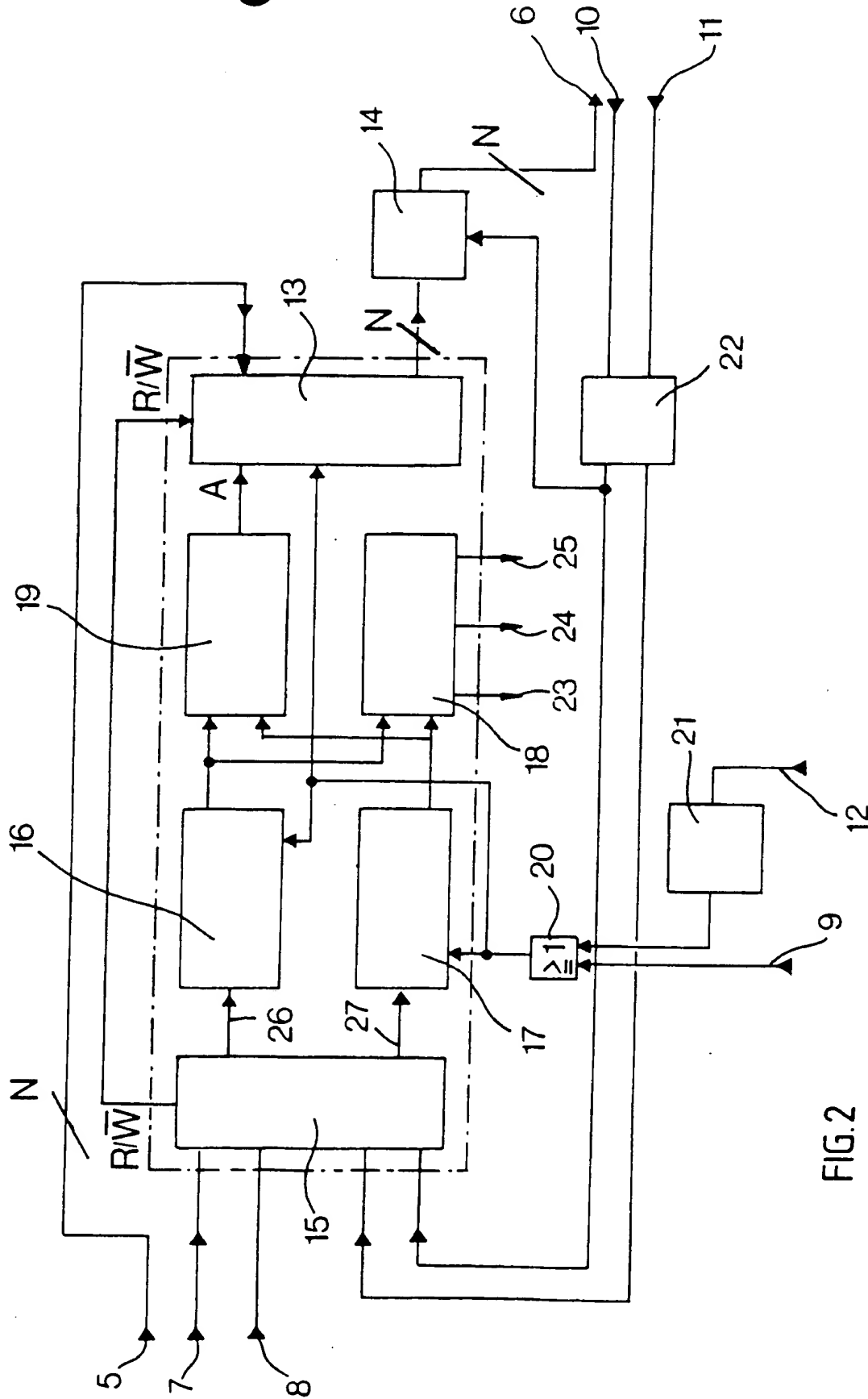


FIG. 2

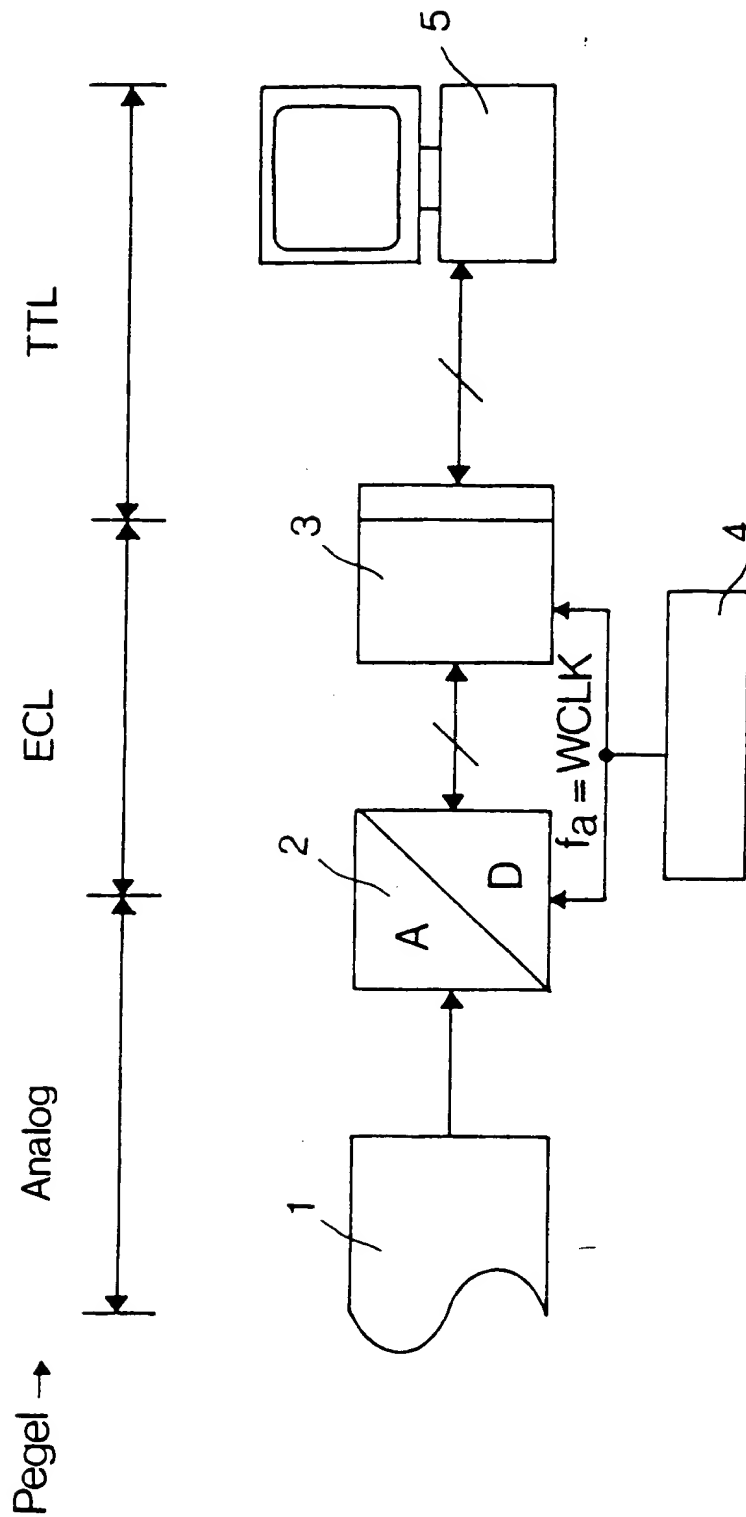


FIG.1

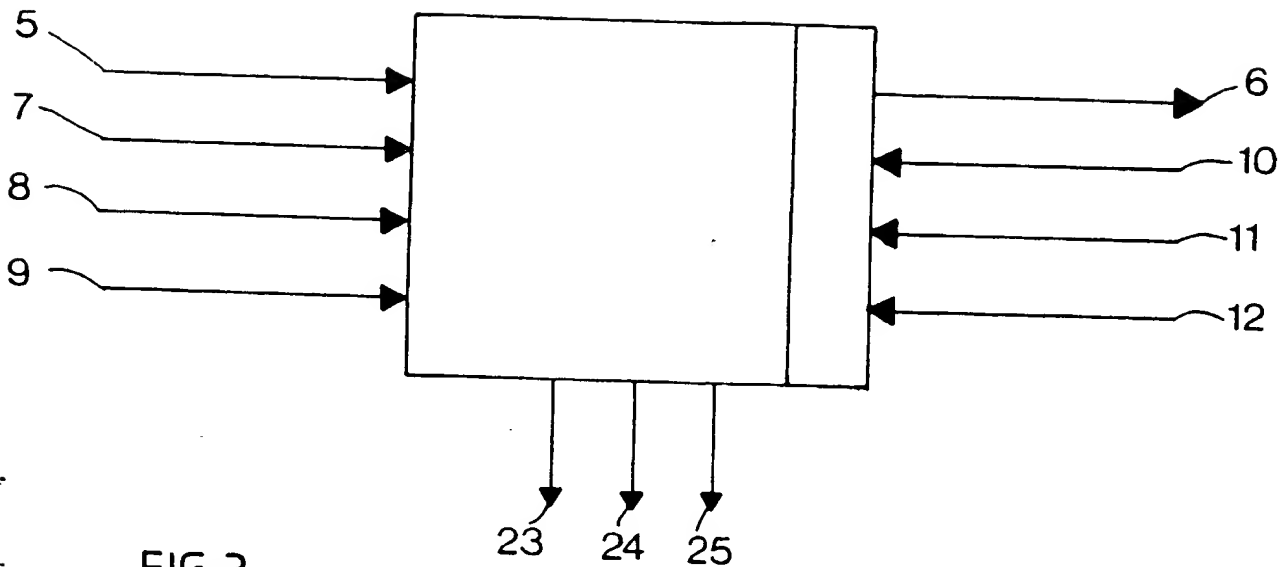


FIG. 3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.